

Attorney Docket No. 09108.0003
Customer Number 22,852

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
Kazutaka AKIYAMA) Group Art Unit: 2811
Application No.: 10/657,119) Examiner:
Filed: September 9, 2003)
For: SEMICONDUCTOR DEVICE AND)
METHOD OF FABRICATING THE)
SAME)

MAIL STOP MISSING PARTS

**Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450**

Sir:

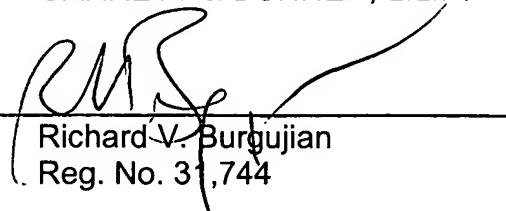
CLAIM FOR PRIORITY

Under the provisions of 35 U.S.C. § 119, Applicant hereby claims the benefit of the filing date of Japanese Patent Application No. 2003-194419, filed July 9, 2003, for the above-identified U.S. patent application.

In support of this claim for priority, enclosed is one certified copy of the priority application.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

By: 

Richard V. Burgujian
Reg. No. 31,744

Dated: December 19, 2003

RVB/FPD/gah
Enclosures

FINNEGAN
HENDERSON
FARABOW
GARRETT &
DUNNER LLP

1300 I Street, NW
Washington, DC 20005
202.408.4000
Fax 202.408.4400
www.finnegan.com

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月 9日
Date of Application:

出願番号 特願2003-194419
Application Number:

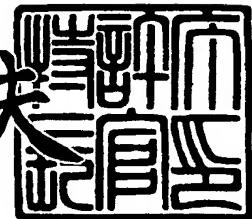
[ST. 10/C] : [JP 2003-194419]

出願人 株式会社東芝
Applicant(s):

2003年 7月 30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 03P100
【提出日】 平成15年 7月 9日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 13
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝
横浜事業所内
【氏名】 秋山 和隆
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100092820
【弁理士】
【氏名又は名称】 伊丹 勝
【電話番号】 03-5216-2501
【手数料の表示】
【予納台帳番号】 026893
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9810498
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に第1の絶縁膜を介して形成された第1の配線と、

前記第1の絶縁膜上に形成されたMIMキャパシタと、

前記MIMキャパシタを覆って形成された第2の絶縁膜と、

前記第2の絶縁膜表面に形成された第2の配線と、

前記MIMキャパシタを取り囲むように前記第2の絶縁膜に埋設されたガードリングと、

を有することを特徴とする半導体装置。

【請求項 2】 前記第2の配線は前記第2の絶縁膜に形成された孔を介して前記第1の配線に接続されている

ことを特徴とする請求項1記載の半導体装置。

【請求項 3】 前記ガードリングは、前記第2の配線と同じ材料により、前記第2の絶縁膜を貫通して埋設されたメタルリングであることを特徴とする請求項2記載の半導体装置。

【請求項 4】 前記第2の配線及びメタルリングは、下地にバリアメタルを有するCu層である

ことを特徴とする請求項3記載の半導体装置。

【請求項 5】 前記第2の絶縁膜は、比誘電率が3.5以下であることを特徴とする請求項1記載の半導体装置。

【請求項 6】 前記第2の絶縁膜は、フッ素を含むシリコン酸化膜であることを特徴とする請求項5記載の半導体装置。

【請求項 7】 前記第2の絶縁膜は、炭素を含むシリコン酸化膜であることを特徴とする請求項5記載の半導体装置。

【請求項 8】 前記第2の絶縁膜は、ポーラスなシリコン酸化膜であることを特徴とする請求項5記載の半導体装置。

【請求項 9】 前記第1の絶縁膜と第2の絶縁膜の間に前記第1の配線を覆

うブロック絶縁膜を有する
ことを特徴とする請求項1記載の半導体装置。

【請求項10】 前記第2の配線と同じ材料により前記第2の絶縁膜に埋設
されて前記MIMキャパシタの上部及び下部電極にコンタクトするコンタクトプ
ラグと、

前記第2の配線を覆って前記第2の絶縁膜上に形成された第3の絶縁膜と、
前記第3の絶縁膜表面に形成されて前記第1及び第2の配線の少なくとも一方
と前記MIMキャパシタの間を電気的に接続する第3の配線とを有する
ことを特徴とする請求項1記載の半導体装置。

【請求項11】 半導体基板上に第1の絶縁膜を介して第1の配線を形成す
る工程と、

前記第1の絶縁膜上にMIMキャパシタを形成する工程と、
前記MIMキャパシタを覆うように第2の絶縁膜を形成する工程と、
前記第2の絶縁膜に第2の配線を埋め込み形成するとともに、前記第2の絶縁
膜に前記MIMキャパシタを取り囲むガードリングを埋め込む工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項12】 前記第2の配線とガードリングは、前記第2の絶縁膜にヴィ
ア孔、このヴィア孔と連続する配線溝及び前記MIMキャパシタを取り囲むガ
ードリング溝を形成した後、これらのヴィア孔、配線溝及びガードリング溝に配
線材料を埋め込むことにより、同時に形成する
ことを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 前記第2の配線を覆うように前記第2の絶縁膜上に第3の
絶縁膜を形成する工程と、

前記第3の絶縁膜に、デュアルダマシンプロセスにより前記第1及び第2の配
線の少なくとも一方と前記MIMキャパシタの間を電気的に接続する第3の配線
を形成する工程とを有する
ことを特徴とする請求項11記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、MIMキャパシタを含む半導体装置とその製造方法に関する。

【0002】**【従来の技術】**

従来の半導体装置においては、Siウェハに形成された素子間を電気的に接続するメタル配線として、一般にアルミニウム（Al）配線が用いられていた。絶縁膜上に成膜されたAl膜は、フォトリソグラフィと異方性エッチングによりパターニングされる。しかし、集積回路の素子及び配線の微細化に伴い、低抵抗の配線形成が困難になり、また異方性エッチングによる配線形成と配線間スペースへの絶縁膜埋め込みも困難になりつつある。そこで近年、Al配線に代わるメタル配線として、ダマシンプロセスによる銅（Cu）配線が用いられるようになっている。

【0003】

一方、アナログ回路を搭載するLSIにおいては、通常キャパシタが欠かせない。アナログ回路用キャパシタとしては、安定して大きな容量を得ることができるMIM（Metal-Insulator-Metal）キャパシタが用いられる。MIMキャパシタは上下電極にメタルを用いることから、ダマシンプロセスによるCu多層配線の形成プロセスとMIMキャパシタの形成プロセスを一部共有することができる。MIMキャパシタとCuダマシン配線を共存させるためのプロセス技術は、種々提案されている（例えば、特許文献1参照）。

【0004】**【特許文献1】**

特開2002-270769

【0005】**【発明が解決しようとする課題】**

MIMキャパシタを用いたアナログ回路が高周波回路である場合、伝送される信号の劣化を防止して高速性能を実現するためには、多層配線間の容量を低減すること、そのために、配線層間絶縁膜に低誘電率の絶縁膜を用いることが望まれる。しかし一般に、低誘電率の絶縁膜は、ステップカバレージが悪い。MIMキ

ヤパシタ側壁での絶縁膜のカバレッジを良くする方法としては、高密度プラズマ（HDP）型のプラズマCVD装置による成膜法が考えられるが、この方法で形成される絶縁膜は一般に吸湿性が高く、また熱収縮が大きい。このため、メタルなど他の膜との密着性が劣化し、また吸湿によるメタルのコロージョンや膜剥がれを生じやすい。

従って、MIMキャパシタとダマシンプロセスによるCu多層配線を有する半導体装置では、MIMキャパシタの高信頼性を得ることが難しい。

【0006】

この発明は、MIMキャパシタの信頼性を向上させた半導体装置とその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】

この発明の一態様に係る半導体装置は、半導体基板と、前記半導体基板上に第1の絶縁膜を介して形成された第1の配線と、前記第1の絶縁膜上に形成されたMIMキャパシタと、前記MIMキャパシタを覆って形成された第2の絶縁膜と、前記第2の絶縁膜表面に形成された第2の配線と、前記MIMキャパシタを取り囲むように前記第2の絶縁膜に埋設されたガードリングと、を有する。

【0008】

この発明の一態様に係る半導体装置の製造方法は、半導体基板上に第1の絶縁膜を介して第1の配線を形成する工程と、前記第1の絶縁膜上にMIMキャパシタを形成する工程と、前記MIMキャパシタを覆うように第2の絶縁膜を形成する工程と、前記第2の絶縁膜に第2の配線を埋め込み形成するとともに、前記第2の絶縁膜に前記MIMキャパシタを取り囲むガードリングを埋め込む工程と、を有する。

【0009】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1は、一実施の形態による半導体装置におけるCu多層配線とMIMキャパシタの集積構造を示す平面図であり、図2は図1のI-I'断面図である。シリ

コン基板1には、図示しないがトランジスタ等が形成されている。このシリコン基板1上に形成された第1の層間絶縁膜2上に、第1の配線3が形成されている。層間絶縁膜2はシリコン酸化膜であり、その表面は平坦化されている。第1の配線3は、ダマシンプロセスにより絶縁膜2に埋め込まれた、下地に例えばタンタル(Ta)及び/又は窒化タンタル(TaN)からなるバリアメタルを有するCu膜である。図では省略したが、第1の配線3はデュアルダマシンプロセスを用いてコンタクト孔を介してシリコン基板1に形成された素子に接続される。

【0010】

第1の配線3が形成された層間絶縁膜2上には、第1の配線3を覆うシリコン窒化膜(SiN膜)からなるブロック絶縁膜4が形成されている。このブロック絶縁膜4上に、MIMキャパシタ5が形成されている。MIMキャパシタ5は、下部電極5a、誘電体膜5b及び上部電極5cの積層構造を有する。下部電極5a及び上部電極5cは、例えばチタンナイトライド(TiN)膜であり、誘電体膜5bは、例えばシリコンナイトライド(SiN)膜である。

【0011】

MIMキャパシタ5は、第2の層間絶縁膜6により覆われており、その表面は平坦化されている。層間絶縁膜6は、通常のdTEOS-SiO₂膜(デュアルプラズマCVDプロセスにより、TEOSから作られるシリコン酸化膜)より低誘電率の膜、好ましくは比誘電率(k)が3.5以下の低誘電率膜である。具体的にこの層間絶縁膜6は、フッ素(F)を含むシリコン酸化膜であるFSG(Fluoro-Silicate Glass)膜、炭素(C)を含むシリコン酸化膜、内部に空孔を導入したポーラスなシリコン酸化膜のなかから選ばれた一種である。

【0012】

層間絶縁膜6に、デュアルダマシンプロセスによって第2の配線7が形成されている。第2の配線7は、層間絶縁膜6の上面に埋め込まれて平坦化された、下地に例えばタンタル(Ta)及び/又は窒化タンタル(TaN)からなるバリアメタルを有するCu膜である。第2の配線7は、配線ヴィア孔8を介して第1の配線3に接続されている。層間絶縁膜6にはまた、配線ヴィア孔8と同時に形成された孔に第2の配線7と同じ材料を埋め込んで形成された、MIMキャパシタ

5の下部電極51a及び上部電極51bにコンタクトするコンタクトプラグ10が埋め込まれている。

【0013】

層間絶縁膜6には更に、MIMキャパシタ5を取り囲むように、ガードリング9が埋め込まれている。ガードリング9は、MIMキャパシタ5や配線には接続されない。ガードリング9は好ましくは、第2の配線7と同じ材料で同時に、層間絶縁膜6を貫通するように形成されたメタルリングである。ガードリング9の幅は、0.1μm～1μmの範囲で選択することができるが、好ましくは1μm程度とする。このガードリング9は、層間絶縁膜6のステップカバレージ不足に起因してMIMキャパシタ5の周囲から層間絶縁膜6内にクラックが進展するのを抑えるバリアとして機能すると共に、チップ側面から層間絶縁膜6に侵入する水分のMIMキャパシタ5への拡散を防止するバリアとしても機能する。

【0014】

第2の配線7、コンタクトプラグ10及びメタルリング9が形成された層間絶縁膜6の上に、これらを覆うシリコン窒化膜(SiN膜)からなるブロック絶縁膜14、及びTEOS-SiO₂膜からなる層間絶縁膜11が順次形成されている。この層間絶縁膜11にデュアルダマシンプロセスにより、第2の配線7とMIMキャパシタ5の間を電気的に接続する第3の配線12が形成されている。第3の配線12は、層間絶縁膜11の上面に埋め込まれて平坦化された、下地に例えばタンタル(Ta)及び/又は窒化タンタル(TaN)からなるバリアメタルを有するCu膜である。第3の配線12は、ヴィア孔13を介して、第2の配線7及びコンタクトプラグ10に接続されている。これにより第3の配線12は、MIMキャパシタ5と第2の配線7の間を電気的に接続する。或いは第3の配線12は、第1の配線3とMIMキャパシタ5の間を電気的に接続するものであってもよい。

【0015】

図3～図9を参照して、具体的な製造工程を説明する。図3～図9は、図2の断面に対応する。図3に示すように、素子が形成されたシリコン基板1に、第1の層間絶縁膜2としてSiO₂膜を堆積し、平坦化する。この層間絶縁膜2の上

面にダマシンプロセスにより第1の配線3を平坦に埋め込む。この第1の配線3の形成工程を具体的に説明すると、次のようになる。

【0016】

まず層間絶縁膜2に、リソグラフィとR I E (Reactive Ion Etching)により、配線溝21を形成する。次に、バリアメタルとなるTaN (及び／又はTa)膜と配線材料であるCu膜をP V D (Physical Vapor Deposition) 法により順次成膜する。得られたTaN/Cu膜を電極として電気メッキ法により、配線溝21にCu膜を埋め込む。続いて、C M P (Chemical Mechanical Polishing) プロセスによりTaN/Cu膜を平坦化する。これにより、配線溝21以外の領域のTaN/Cu膜が除去され、第1の配線3が配線溝21のみに埋め込まれる。第1の配線3をシリコン基板の拡散層に接続するためには、デュアルダマシンプロセスによって、配線溝と配線コンタクト孔を形成すればよい。

【0017】

次に、図4に示すように、配線3を覆うブロック絶縁膜4として、約0.1μmのSiN膜を堆積した後、その上にM I Mキャパシタ5を形成する。具体的には、下部電極5aとなるTiN膜、誘電体膜5bとなるSiN膜、上部電極5cとなるTiN膜の積層膜を順次成膜する。下部電極5aの厚みは0.3μm、キャパシタ絶縁膜5bと上部電極5cの合計厚みは0.1μmである。このTiN/SiN/TiN積層膜について、リソグラフィとCl系ガスを用いたR I Eにより上部電極5cをパターニングする。続いて、リソグラフィとCF系ガスを用いたR I Eにより、誘電体膜5bをパターニングする。最後に再び、リソグラフィとCl系ガスを用いたR I Eにより下部電極5aをパターニングする。

【0018】

次に図5に示すように、M I Mキャパシタ5を覆う第2の層間絶縁膜6を堆積して、C M Pにより平坦化する。層間絶縁膜6は、FSG膜、Cを添加したシリコン酸化膜又はポーラスシリコン酸化膜である。これらの低誘電率膜の表面に更に、C M Pによる平坦化を容易にするため、通常のTEOS-SiO₂膜を積層してもよい。

【0019】

これらの層間絶縁膜6の成膜法は、次の通りである。FSG膜は、好ましくは平行平板型プラズマCVD装置を用い、これにSiH₄を主原料とする、Fを含むガスを供給して成膜する。この成膜法により、膜剥がれのない、密着性の良好なFSG膜が形成される。Cを含むシリコン酸化膜の場合は、Black-diamond (Applied Materials, Inc. の商品名) を原料としてCVD法により成膜する。ポーラスなシリコン酸化膜の場合には、有機SOG (Spin-on-Glass) 膜を成膜し、加熱によるフォーミング反応、或いはエネルギービームの照射によって、ポーラス膜とする。

【0020】

次に、デュアルダマシンプロセスにより、層間絶縁膜6に、第2の配線7とメタルリング9及びコンタクトプラグ10を形成する。具体的に説明すれば、図6に示すように、リソグラフィとRIEにより、層間絶縁膜6に、配線ヴィア孔8、電極コンタクト孔32及びガードリング溝33を形成する。ガードリング溝33は、その底面がMIMキャパシタ5の底面より下に位置し、下地の層間絶縁膜2が露出した状態となるように形成する。ヴィア孔8、コンタクト孔32は直径0.2μmとし、ガードリング溝33は幅1μmとする。引き続き、リソグラフィとCF系ガスを用いたRIE法により、配線ヴィア孔8と連続する配線溝34を形成する。

【0021】

次に、バリアメタルとなるTaN（及び／又はTa）膜と配線材料であるCu膜をPVD法により順次成膜する。得られたTaN/Cu膜を電極として電気メッキ法により、配線溝34、ヴィア孔8、コンタクト孔32及びガードリング溝33にCu膜を埋め込む。続いて、CMP法によりTaN/Cu膜を平坦化する。これにより、図7に示すように、第2の配線7と同時に、MIMキャパシタ5のコンタクトプラグ10及びMIMキャパシタ5を取り囲むメタルリング9が層間絶縁膜6に平坦に埋め込まれる。

【0022】

このようにこの実施の形態では、MIMキャパシタ5を覆う層間絶縁膜6への埋め込み配線形成工程では、MIMキャパシタ5への配線接続を行わない。MIM

Mキャパシタ5の領域ではコンタクトプラグ10の埋め込みのみが行われる。MIMキャパシタ5への電気的接続は、次の第3の配線により行う。従って、層間絶縁膜6が薄く、これに埋め込む第2の配線7の底面位置がMIMキャパシタ5の上面より下になる状態も許容される。

【0023】

次に、図8に示すように、ブロック絶縁膜14としてSiN膜、及び第3の層間絶縁膜11としてTEOS-SiO₂膜を堆積する。この層間絶縁膜11に、デュアルダマシンプロセスによって、第2の配線7及び第1の配線3の少なくとも一方とMIMキャパシタ5との間を電気的に接続するための第3の配線を形成する。具体的に説明すれば、図8に示すように、層間絶縁膜11に、RIEにより、配線ヴィア孔13を形成し、更にこれらに連続する配線溝43を形成する。メタルリング9上にはヴィア孔を形成せず、メタルリング9を電気的にフローティング状態とする。

【0024】

そして、第2の配線7の埋め込みと同様の工程で、図9に示すように、ヴィア孔13及び配線溝43にTaN/Cu膜からなる第3の配線12を埋め込む。第3の配線12は、先に第2の配線7の形成工程で層間絶縁膜6に埋め込まれているコンタクトプラグ10を介して、MIMキャパシタ5の上下電極に接続される。第3の配線12が第1の配線3とMIMキャパシタ5の間を電気的に接続するものである場合も、同様の工程で第3の配線12を形成することができる。

【0025】

この後は図示しないが、パシベーション膜として、プラズマCVDによるSiO₂膜とSiN膜の積層膜を堆積する。パシベーション膜は、400℃のH₂雰囲気で60分のシンターアニールを行う。最後にパッドを形成する。

【0026】

以上のようにこの実施の形態によると、MIMキャパシタを覆う層間絶縁膜内にMIMキャパシタを取り囲むようにガードリングを埋設することにより、MIMキャパシタの信頼性が高いものとなる。その理由を具体的に説明する。配線間容量の低減のためには、前述のように、MIMキャパシタを覆う層間絶縁膜を低

誘電率膜とすることが好ましい。しかし、低誘電率絶縁膜はステップカバレージが悪く、機械的強度も弱く、従って、外的なストレスにより容易に剥がれたり、クラックが発生しやすい。

【0027】

図10は、ガードリング9がない他、上記実施の形態と同様の条件でCu多層配線とMIMキャパシタ5を形成した状態を、図2と対応させて示している。MIMキャパシタ5を覆う層間絶縁膜6のステップカバレージが不足すると、図10に示したように、MIMキャパシタ5の側壁段差部分にシーム51が形成される。後の熱工程においてMIMキャパシタ5の電極の収縮により層間絶縁膜6にストレスが加わると、シーム51を起点として、図示のように層間絶縁膜6内に横方向にクラック52が発生しやすい。

【0028】

もし、シーム51やクラック52が配線7やヴィア孔8に到達すると、配線下地のバリアメタルに亀裂が生じて、Cuがシーム51やクラック52に拡散する。これは、配線7とMIMキャパシタ5の間の短絡や絶縁不良の原因となる。更に低誘電率絶縁膜は、膜密度が低いことから、外部から水分等が浸透しやすい。そのため、半導体チップをダイシングした後に、チップ側面から低誘電率の層間絶縁膜6を介して内部に水が拡散することがある。MIMキャパシタ5は通常高電界が掛かりやすい。そのため、層間絶縁膜6を通してMIMキャパシタ5部に水が入り込むと、キャパシタの耐圧や信頼性が劣化する。

【0029】

この実施の形態によれば、層間絶縁膜6内のMIMキャパシタ5の側壁部からシームが形成されたとしても、ガードリング9がこれを切断する。これにより、その後の熱工程においてクラックの発生が防止される。従って、MIMキャパシタと配線の短絡や絶縁不良を防止することができる。ガードリングはまた、チップ側面から侵入する水分のMIMキャパシタ5の領域への拡散を防止するバリアとなる。これにより、MIMキャパシタの経時劣化も抑制される。

更にこの実施の形態では、ガードリングを配線と同じ材料、同じ工程で埋め込むことにより、ガードリング形成のための格別な工程付加は必要がない。

【0030】

なお上記実施の形態では、MIMキャパシタを覆う層間絶縁膜に埋め込まれるガードリングを、ダマシンプロセスによるCu配線と同時に形成されたCu層としたが、外部からの水の拡散を防止し、或いはクラック発生を防止できる他の材料を用いることができる。例えば、導電性物質であれば、タンゲステン(W)やアルミニウム(Al)を用いることができ、絶縁性物質であれば、TEOS-SiO₂やHDP型プラズマCVD装置によるUSG(Undoped Silicate Glass)を用いることができる。勿論、配線材料とは異なるこれらの材料でガードリングを形成するには、配線形成工程とは別の工程を必要とする。

【0031】

以下に、いくつかの実験例と、これと比較するための参考例を説明する。以下の実験例と参考例のテストウェハは、各チップ領域に、 $10 \times 10 \mu\text{m}^2$ の正方形のMIMキャパシタを、 $2 \mu\text{m}$ のスペースで縦横10個ずつ、100個配列して、上述の3層Cu配線を形成した。

【0032】

[実験例1]

実験例1のテストウェハでは、第2の層間絶縁膜6として、平行平板型プラズマCVD装置により形成した $0.6 \mu\text{m}$ のFSG膜を用いた。各MIMキャパシタは、上述のように第2の配線と同時に形成されるメタルリング9で取り囲まれる。このウェハからダイシングしたテストチップは、初期特性は良好であり、配線の短絡やオープン不良はなかった。耐圧試験の結果、50Vまで不良発生は認められなかった。MIMキャパシタに電圧20Vを印加したTDDDB(Time Dependent Dielectric Breakdown)試験の結果、10年以上の寿命が確認された。

【0033】

[実験例2]

第2の層間絶縁膜6として、Black-diamondを原料とする膜とTEOS-SiO₂膜の積層膜を用いた他、実験例1と同様の条件のテストウェハにつき、テストチップをダイシングして同様のテストを行った。耐圧試験、TDDDB試験では実験例1と同様の良好な結果が得られた。また、30°C、90%以上の湿度での

高湿試験を行った結果、500時間経過後もMIMキャパシタの特性変化は認められなかった。

【0034】

[参考例1]

メタルリング9がない他、実験例1と同様の条件で作ったテストウェハにつき、チップをダイシングして同様のテストを行った。初期特性は実験例1の場合と同様に問題はなかった。耐圧試験では、10V付近から耐圧不良が発生した。不良部分を解析した結果、MIMキャパシタの側壁下部から45°方向にシームが発生し、更にシームからクラックの発生が認められた。EDXによる分析の結果、クラック中にCuの拡散が認められた。

上の不良部分につき、FG膜成膜直後の観測では、シームは認められたが、クラックは観測されていない。クラックは、パシベーション膜形成後のシンターアニールで発生したものであることが確認された。

TDDB試験の結果は、実験例1のチップに比べて、1桁寿命が短いことが確認された。

【0035】

[参考例2]

メタルリング9がない他、実験例2と同様の条件で作ったテストウェハにつき、チップをダイシングしてテストを行った。初期特性は実験例2と同様に問題はなかった。耐圧試験の結果、50V以下で耐圧不良が発生した。30°C、90%以上の湿度での高湿試験を行った結果、500時間内にMIMキャパシタの特性変化が認められた。

【0036】

[参考例3]

FG膜の成膜条件が異なる他、実験例1と同様の製造条件のテストウェハを作った。具体的にFG膜は、SiOFを原料として、HDP型のプラズマCVD装置により成膜した。FG膜の比誘電率(k)は、3.5以下であったが、FG膜の成膜後のCMP処理過程でFG膜の剥がれが発生し、以後の工程に進むことができなかった。

【0037】

【発明の効果】

以上述べたようにこの発明によれば、MIMキャパシタの信頼性を向上させた半導体装置とその製造方法を提供することができる。

【図面の簡単な説明】

【図1】

この発明の実施の形態による半導体装置の平面図である。

【図2】

図1のI-I'断面図である。

【図3】

同実施の形態の第1の層間絶縁膜上に第1の配線を形成する工程を示す断面図である。

【図4】

第1の配線が形成された層間絶縁膜上にMIMキャパシタを形成する工程を示す断面図である。

【図5】

MIMキャパシタを覆う第2の層間絶縁膜を形成する工程を示す断面図である。

【図6】

第2の層間絶縁膜にヴィア孔、コンタクト孔、ガードリング溝及び配線溝を形成する工程を示す断面図である。

【図7】

ヴィア孔、コンタクト孔、ガードリング溝及び配線溝にそれぞれメタルを埋め込む工程を示す断面図である。

【図8】

第2の配線を覆う第3の層間絶縁膜を形成し、これにヴィア孔及び配線溝を形成する工程を示す断面図である。

【図9】

第3の配線を形成する工程を示す断面図である。

【図10】

比較例の半導体装置の断面図である。

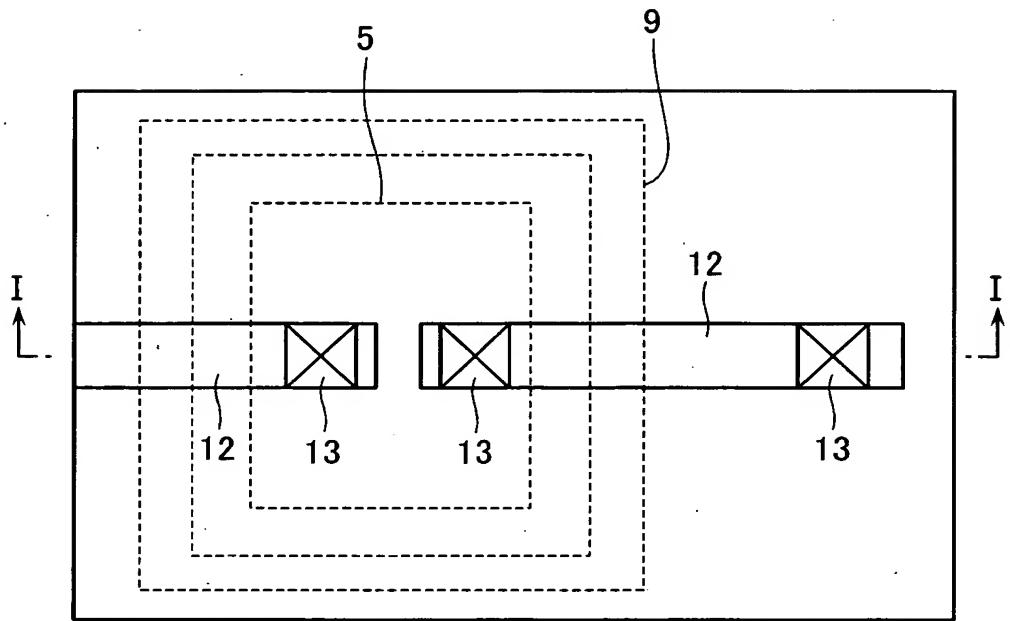
【符号の説明】

1 …シリコン基板、 2 …第1の層間絶縁膜、 3 …第1の配線、 4 …ブロック絶縁膜、 5 …MIMキャパシタ、 5 a …下部電極、 5 b …誘電体膜、 5 c …上部電極、 6 …第2の層間絶縁膜、 7 …第2の配線、 8 …ヴィア孔、 9 …ガードリング（メタルリング）、 10 …コントラクトプラグ、 11 …第3の層間絶縁膜、 12 …第3の配線、 13 …ヴィア孔、 21 …配線溝、 32 …コントラクト孔、 33 …ガードリング溝、 34, 43 …配線溝。

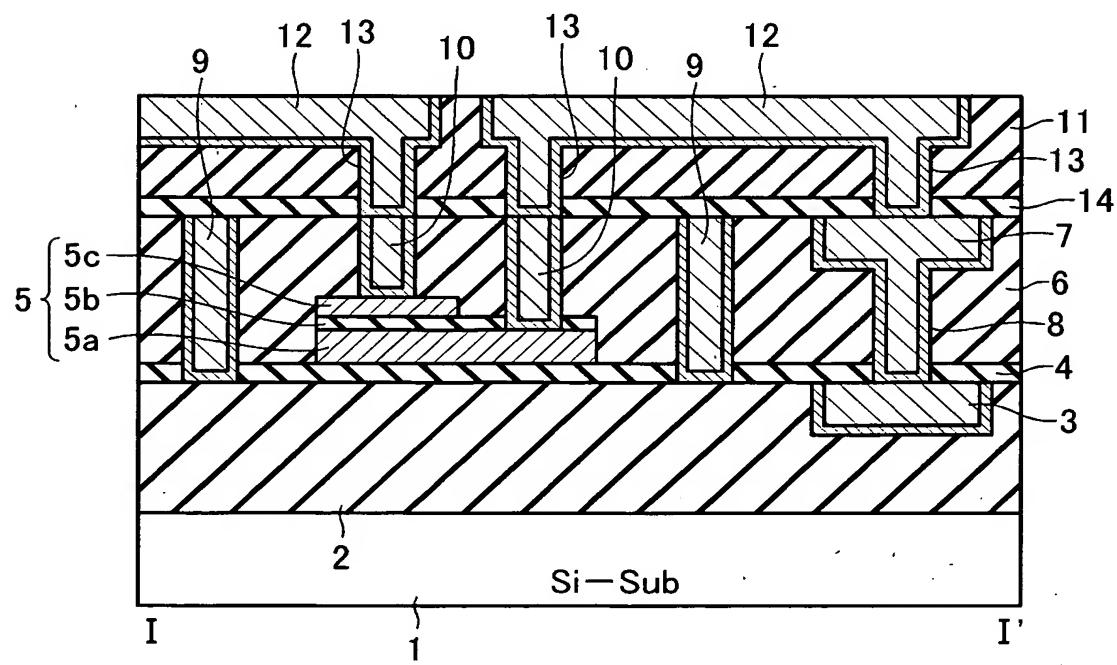
【書類名】

図面

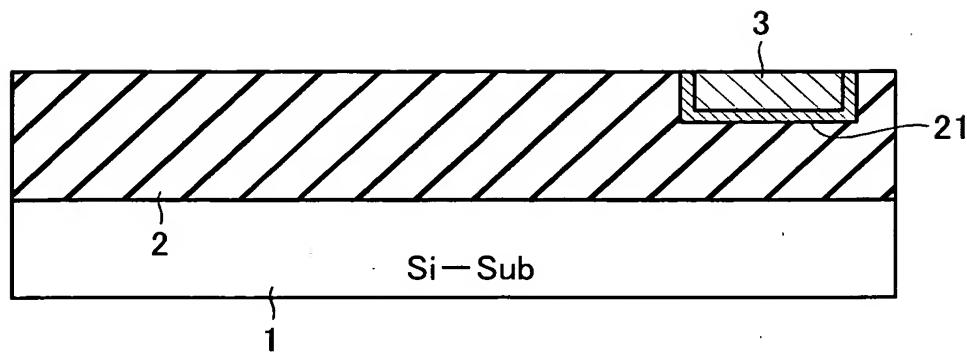
【図 1】



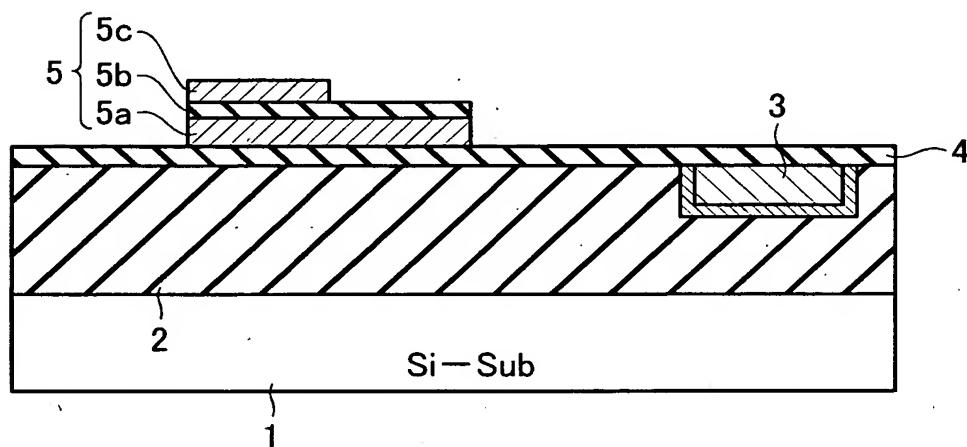
【図 2】



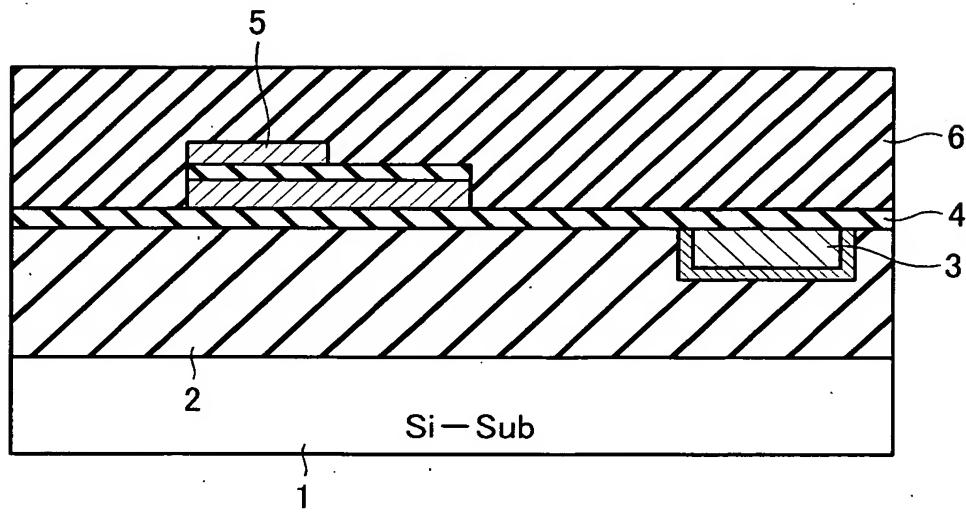
【図3】



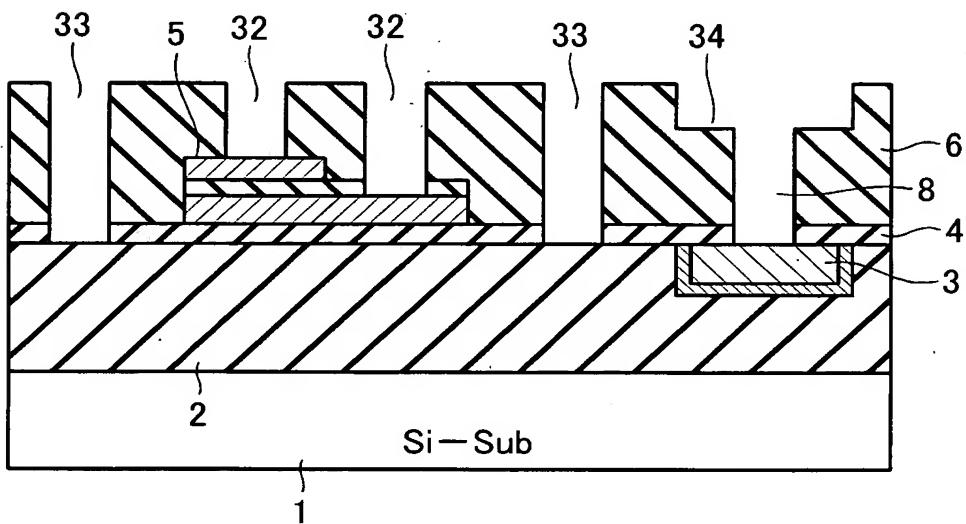
【図4】



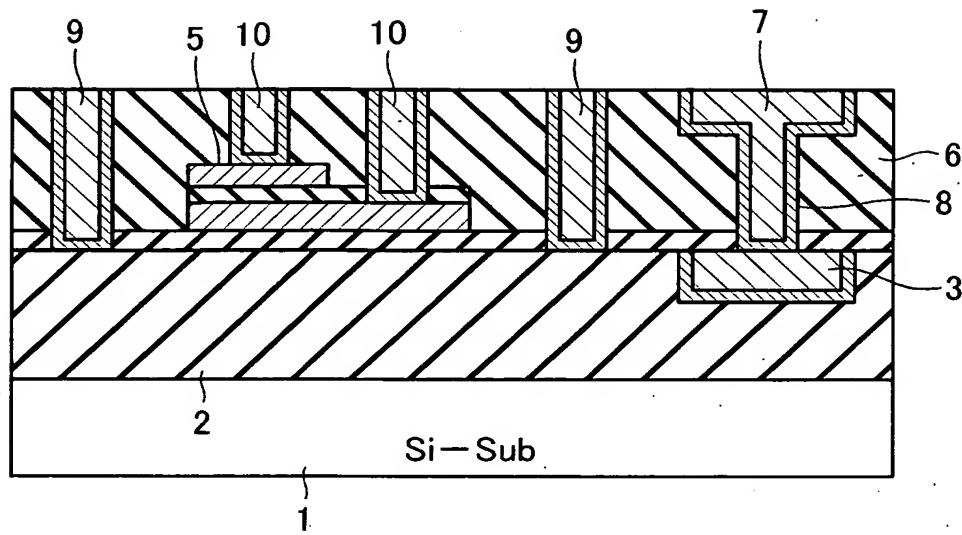
【図5】



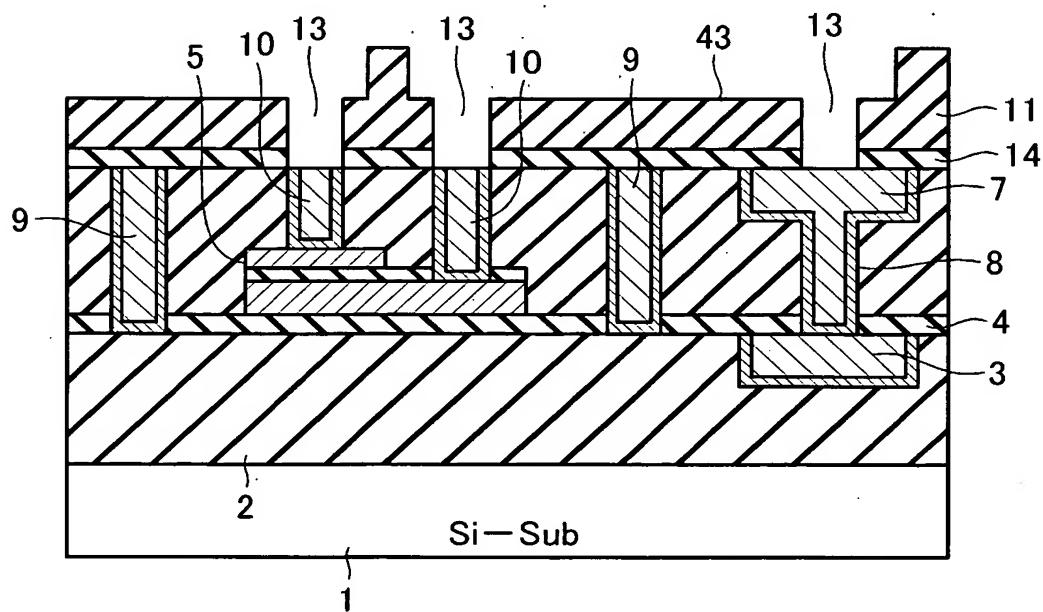
【図6】



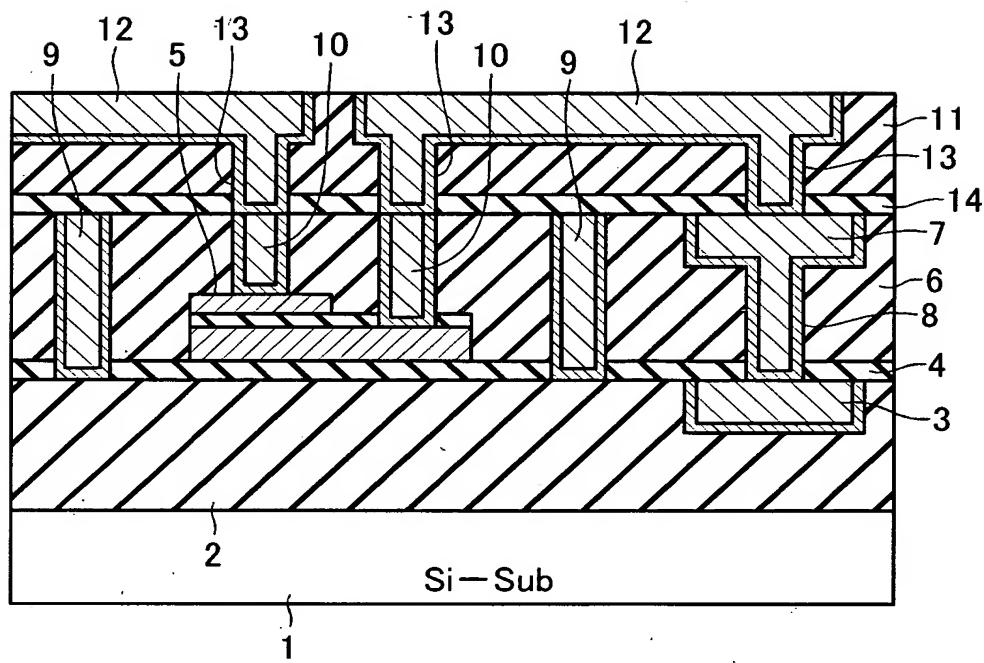
【図7】



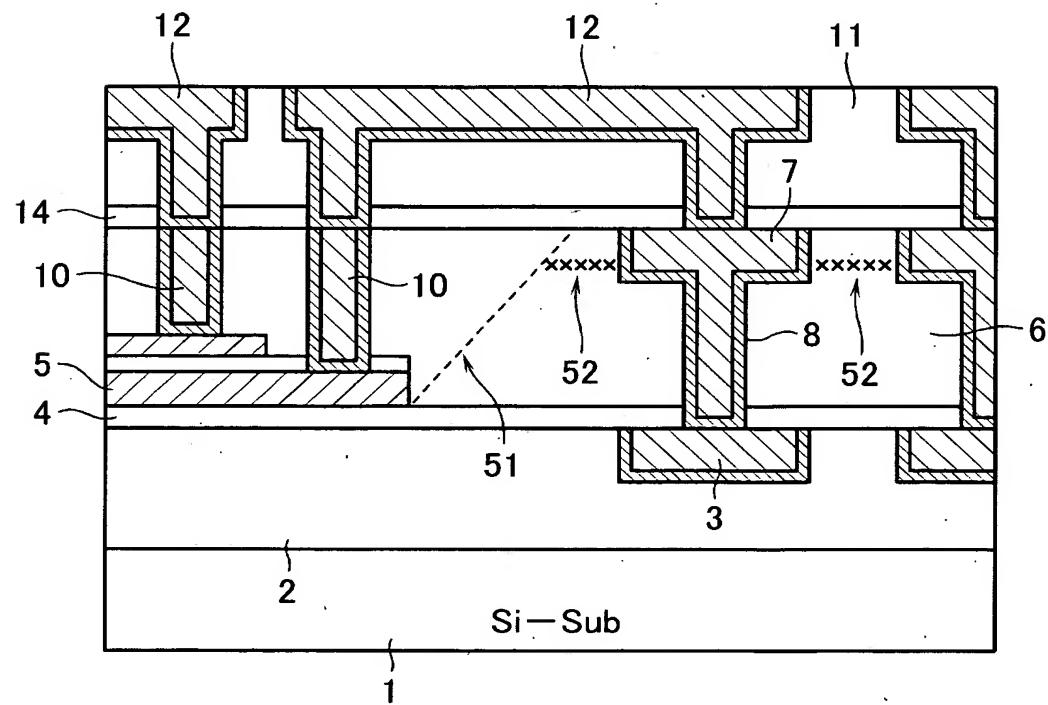
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 MIMキャパシタの信頼性を向上させた半導体装置とその製造方法を提供する。

【解決手段】 半導体装置は、半導体基板と、前記半導体基板上に第1の絶縁膜を介して形成された第1の配線と、前記第1の絶縁膜上に形成されたMIMキャパシタと、前記MIMキャパシタを覆って形成された第2の絶縁膜と、前記第2の絶縁膜表面に形成された第2の配線と、前記MIMキャパシタを取り囲むように前記第2の絶縁膜に埋設されたガードリングと、を有する。

【選択図】 図2

特願2003-194419

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝